

CEG1021

超高压双通道 150kbps 磁隔宽体通用数字隔离器

1. 产品描述

CEG1021 系列是双通道磁隔通用数字隔离器，采用芯片级微型变压器以及专有的调制解调技术进行信号传输，具有加宽隔离间距，可实现大于 15 kVrms 耐压。CEG1021 包含 1 个反向信号通道和 1 个正向信号通道，信号传输延时典型值均约 0.8 μ s。在输入供电掉电或者输入信号引脚浮空的条件下，CEG1021 默认输出电平为高。

2. 产品特点

- 传输数据率: 0-150kbps
- 低功耗 0.7 mA @ 3.3V/通道
- 显著优于光耦的传输延时: 约 0.8 μ s
- 输入电压范围: 3.0 V 到 5.5 V
- 工作温度范围: -40 °C 到 +125 °C
- 隔离耐压: > 15 kVrms
- 共模瞬态抑制: > \pm 50 kV/ μ s
- SOW-8 封装 (宽体)

3. 产品认证

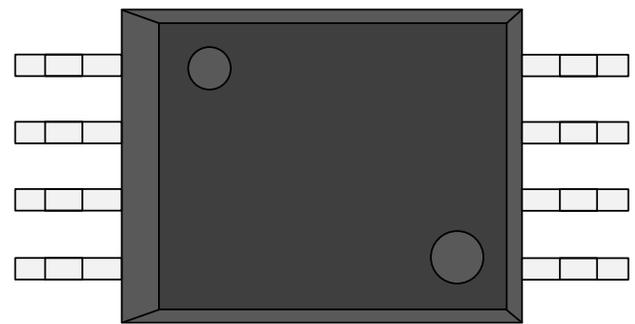
- > 15 kV_{RMS} 耐压 1 分钟 (UL-1577)
- 辐射抗扰度: GB/T 17626.3-2006 以及 IEC61000-4-3, > 30V/m (性能判断 A)
- 工频磁场抗干扰度: GB/T17626.8, IEC61000-4-8, 优于等级 5 (100A/m, 严酷的工业环境)
- 集成电路门锁测试: JEDEC JESD78F-2022

4. 产品应用

- 智能电表
- 工业自动化
- 家用电器
- 隔离数据总线

5. 外形信息

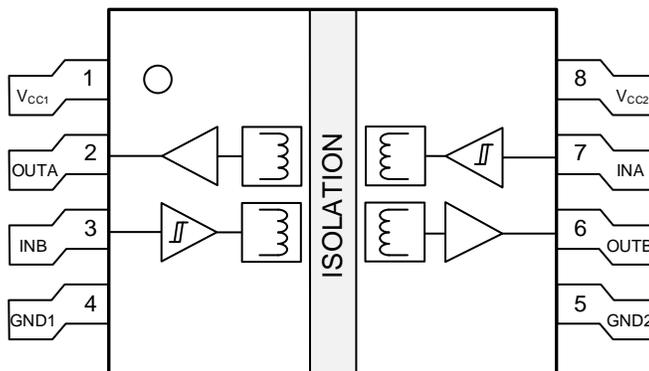
产品型号	封装	封装尺寸 (标称)
CEG1021	SOW-8	5.85 x 7.50 (mm)



封装示意图

6. 引脚定义及功能说明

SOW-8 封装
俯视图



引脚		I/O	描述
名称	编号		
GND1	4	—	1 侧地电位
GND2	5	—	2 侧地电位
INA	7	I	2 侧信号输入, 通道 A
INB	3	I	1 侧信号输入, 通道 B
OUTA	2	O	1 侧信号输出, 通道 A
OUTB	6	O	2 侧信号输出, 通道 B
V _{CC1}	1	—	1 侧输入电压
V _{CC2}	8	—	2 侧输入电压

7. 电路参数

7.1 绝对额定范围

参数		最小	最大	单位
V _{CC1} , V _{CC2}	供电电压	-0.5	5.5	V
V	I/O 引脚 (IN _x , OUT _x)	-0.5	V _{CC} + 0.5	V
I _o	输出电流	-15	15	mA

7.2 ESD 额定值

			数值	单位
$V_{(ESD)}$	人体静电模型 (HBM)	单侧 ⁽¹⁾	± 8000	V
		跨隔离屏障 ⁽²⁾	± 8000	V
	充电器件模型 (CDM)	所有引脚	± 1000	V

(1) 单侧 ESD 测试结果，即对引脚 1-4、或者对引脚 5-8 分别进行 ESD 测试，ESD 冲击不跨越变压器隔离屏障。

(2) 跨隔离屏障 ESD 测试结果为全部引脚 (1-8) 测试结果。

7.3 闩锁测试

			数值	单位
Latch-up	电流测试	输入输出端 (INA, INB, OUTA, OUTB)	± 200	mA
	过压测试	电源 (V_{CC1} , V_{CC2})	7.5	V

(1) 满足 JEDEC JESD78F-2022 标准

7.4 建议工作条件

参数		最低	标称	最高	单位
V_{CC1} , V_{CC2}	供电电压	3.0	-	5.5	V
V_{IH}	高电平输入电压	$0.7 \times V_{CC1}$	-	V_{CC1}	V
V_{IL}	低电平输入电压	0	-	$0.3 \times V_{CC1}$	V
DR	数据率	0	-	150	kbps
T_A	环境温度	-40	25	125	°C
CMTI	共模瞬态抑制	± 50			kV/ μ s

7.5 电压 3.3 V ($\pm 10\%$) 电气特性

参数	测试条件	典型值	单位
V_{OH}	高电平输出电压, $I_{OH} = -4\text{mA}$	3.0	V
V_{OL}	低电平输出电压, $I_{OL} = 4\text{mA}$	0.2	V

I_{IH}	高电平输入电流, $V_{IH}=V_{CC1}$ at INx		0	μA
I_{IL}	低电平输入电流, $V_{IL}=0$ at INx		-7.0	μA
I_{CC1}	2 个通道输入电平, $V_{INX}=0$		0.9	mA
I_{CC2}			0.9	mA
I_{CC1}	2 个通道输入电平, $V_{INX}=V_{CC1}$		0.6	mA
I_{CC2}			0.6	mA
I_{CC1}	2 个通道输入方波时钟信号, 负载电容 $C_L = 0$ pF	150 kbps	0.8	mA
I_{CC2}			0.7	mA
I_{CC1}	2 个通道输入方波时钟信号, 负载电容 $C_L = 15$ pF	150 kbps	0.8	mA
I_{CC2}			0.7	mA

7.6 电压 5.0 V($\pm 10\%$)电气特性

参数	测试条件		典型值	单位
V_{OH}	高电平输出电压, $I_{OH} = -4mA$		4.8	V
V_{OL}	低电平输出电压, $I_{OL} = 4mA$		0.2	V
I_{IH}	高电平输入电流, $V_{IH}=V_{CC1}$ at INx		0	μA
I_{IL}	低电平输入电流, $V_{IL}=0$ at INx		-10.7	μA
I_{CC1}	2 个通道输入电流, $V_{INX}=0$		1.5	mA
I_{CC2}			1.5	mA
I_{CC1}	2 个通道输入电流, $V_{INX}=V_{CC1}$		1.0	mA
I_{CC2}			0.9	mA
I_{CC1}	2 个通道输入方波时钟信号, 负载电容 $C_L = 0$ pF	150 Kbps	1.2	mA
I_{CC2}			1.2	mA
I_{CC1}	2 个通道输入方波时钟信号, 负载电容 $C_L = 15$ pF	150 Kbps	1.3	mA
I_{CC2}			1.2	mA

7.7 电压 3.3 V 供电开关特性

无特殊说明，数据是在 $V_{DD1}=V_{DD2}=3.3V$, $Z_L=15pF$, $T_A=25^\circ C$ 条件下测得。

参数		最低	典型值	最高	单位
t_{PLH}	传输延时 (上升沿)	340	760	1200	ns
t_{PHL}	传输延时 (下降沿)	340	760	1200	ns
t_r	输出信号上升时间	3.6	4.0	4.6	ns
t_f	输出信号下降时间	3.0	3.5	4.0	ns

7.8 电压 5.0 V 供电开关特性

无特殊说明，数据是在 $V_{DD1}=V_{DD2}=5.0V$, $Z_L=15pF$, $T_A=25^\circ C$ 条件下测得。

参数		最低	典型值	最高	单位
t_{PLH}	传输延时 (上升沿)	340	750	1200	ns
t_{PHL}	传输延时 (下降沿)	340	770	1200	ns
t_r	输出信号上升时间	2.8	3.3	3.6	ns
t_f	输出信号下降时间	2.7	3.0	3.4	ns

7.9 芯片功能表

$V_{CC(IN)}$	$V_{CC(OUT)}$	INX	OUTX
PU	PU	H	H
		L	L
		Open	H
PD	PU	X	H

(1) $V_{CC(IN)}$ =输入引脚侧的供电电压; $V_{CC(OUT)}$ =输出引脚侧的供电电压; PU=上电; PD=掉电; X = 任意; H = 高电平; L = 低电平。

8. 典型特征

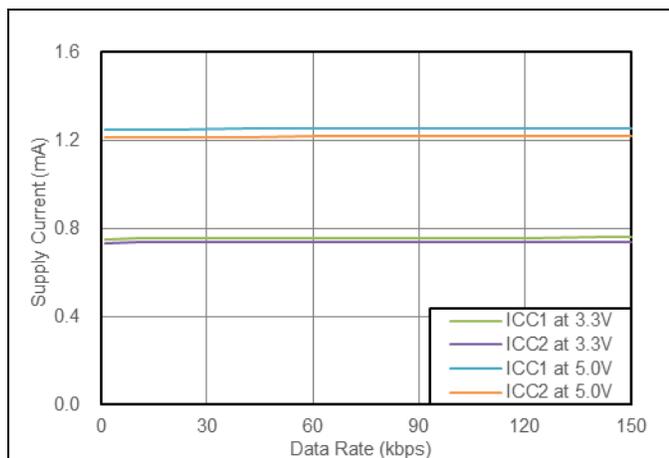


Fig. 8.1. 供电电流 vs. 数据率
(0 pF 负载, 室温)

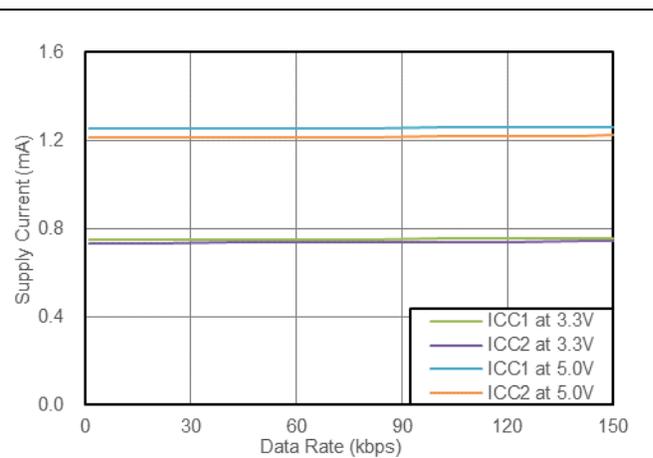


Fig. 8.2. 供电电流 vs. 数据率
(15 pF 负载, 室温)

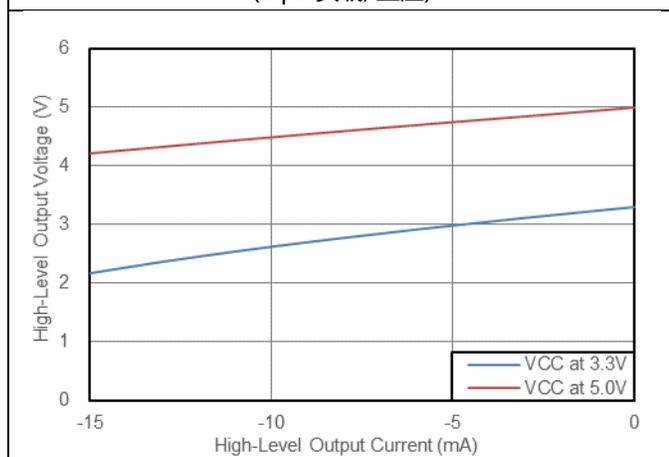


Fig. 8.3. 高电平输出电压 vs. 输出电流

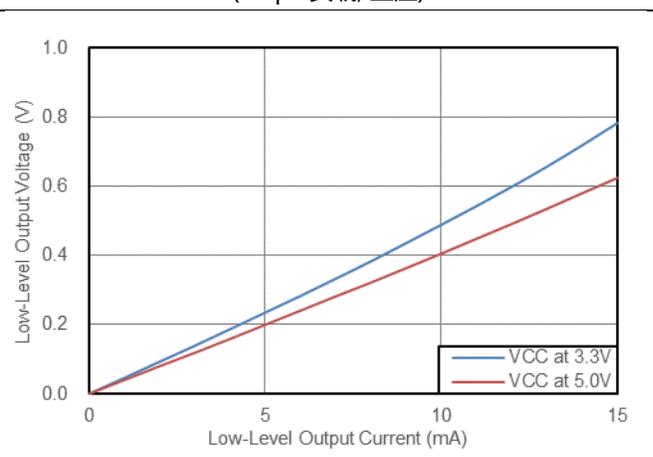


Fig. 8.4. 低电平输出电压 vs. 输出电流

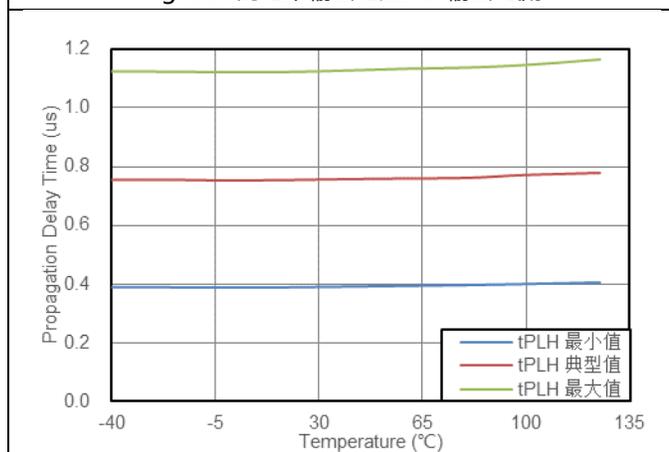


Fig. 8.5. 信号传输延时 (上升沿) vs. 温度
(3.3V 供电电压)

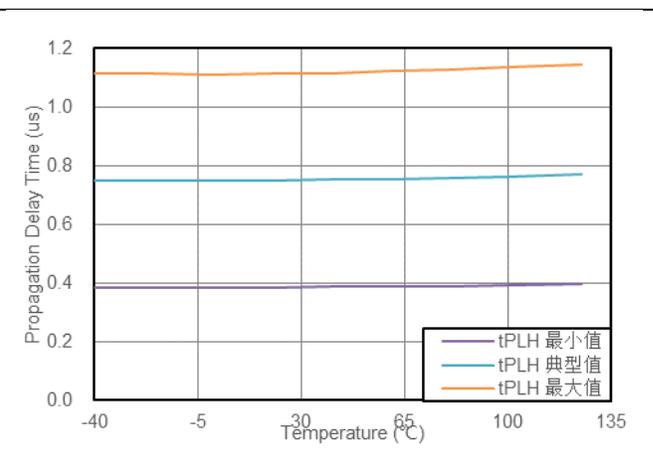
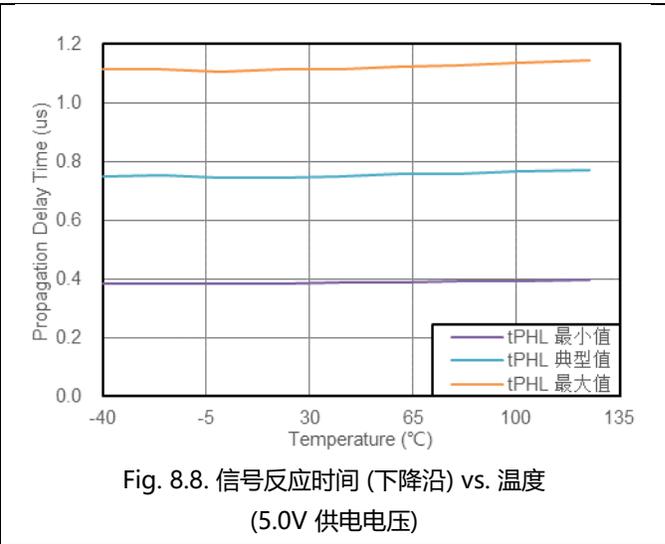
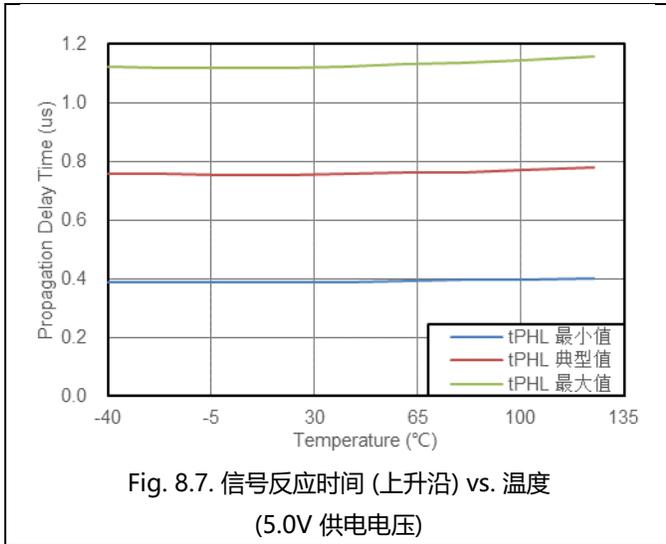


Fig. 8.6. 信号传输延时 (下降沿) vs. 温度
(3.3V 供电电压)



9. 眼图测试

CEG1021 在 150 kbps 数据率下的典型眼图测试结果如下，在相应数据率下有优良的信号传输质量。

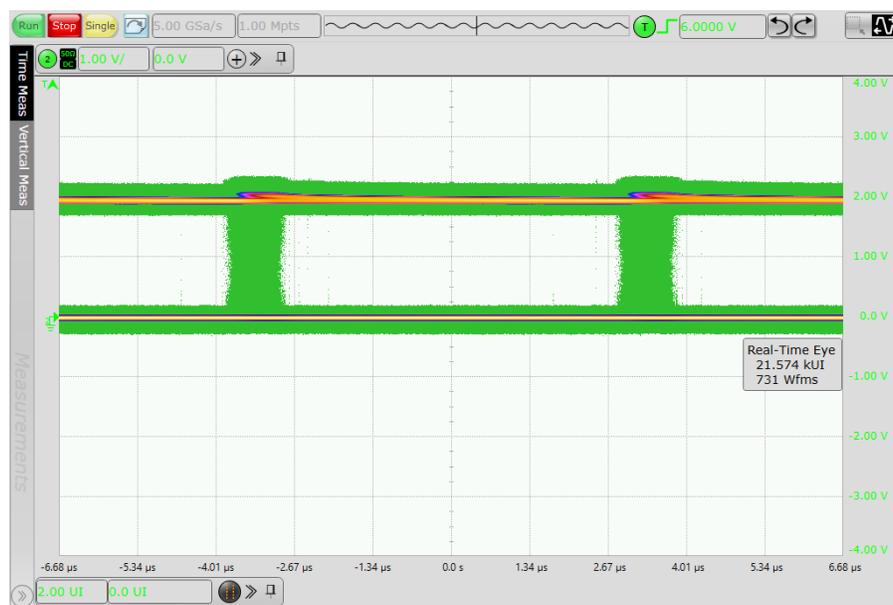


Fig. 9.1. CEG1021 150 kbps, 5.0V 供电眼图

附录 A: 参考设计

CEG1021 使用简单, 无需上下拉电阻, 仅需在 V_{CC1} 和 V_{CC2} 两个供电电压处接入 $1\ \mu\text{F}$ 稳压电容, 建议将稳压电容焊接在尽可能接近 VCC 管脚的位置。图 A1, A2 分别为典型参考设计示意图和 PCB 参考设计图。

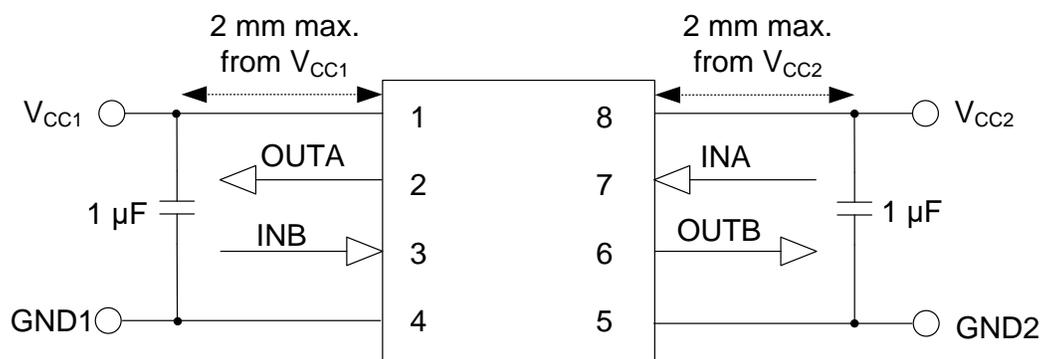


Fig. A1. 典型参考设计示意图

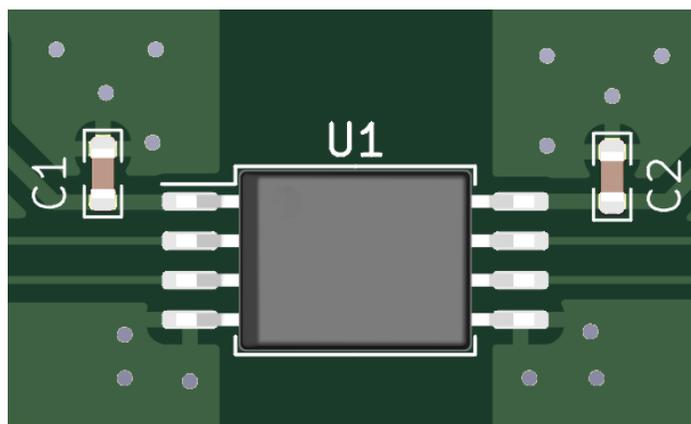


Fig. A2(a). 参考 PCB 设计图 正面

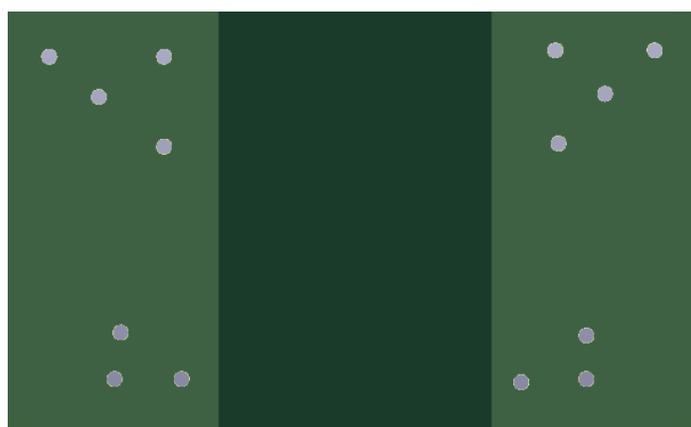
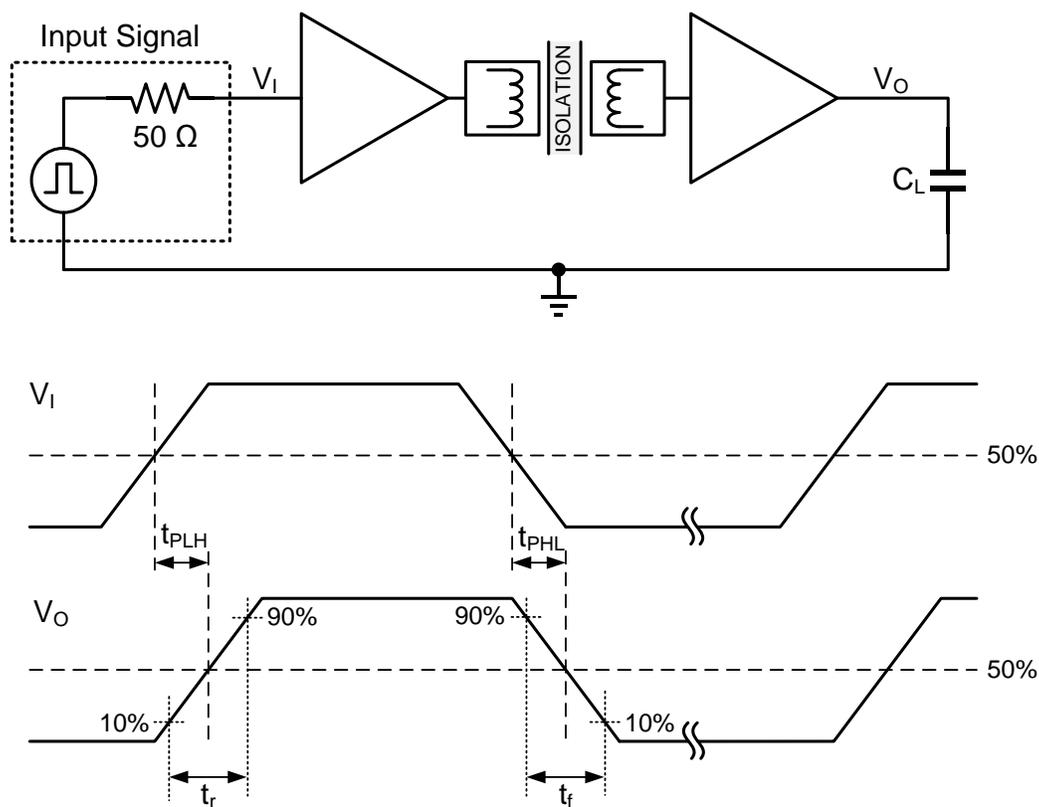


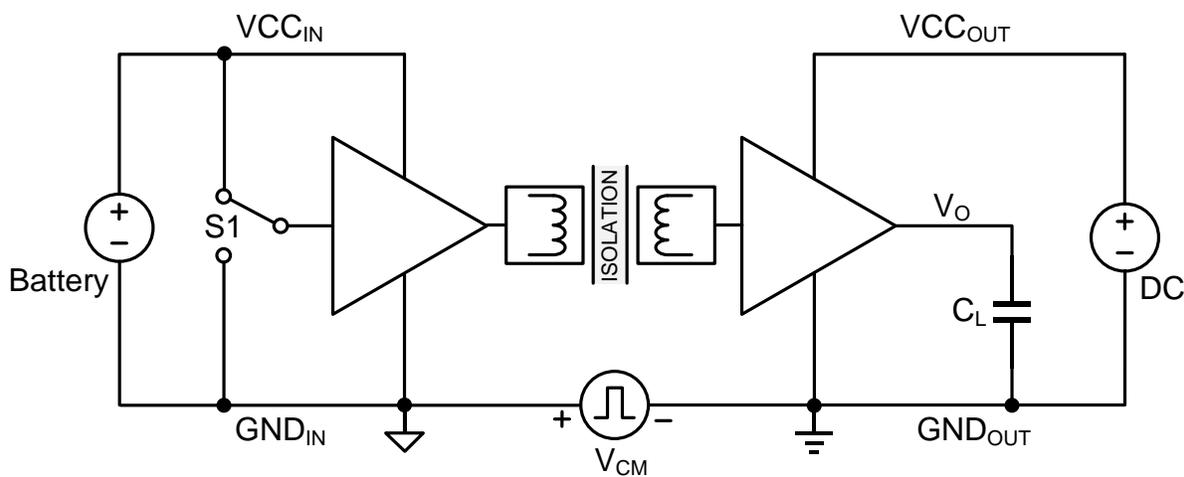
Fig. A2(b). 参考 PCB 设计图 反面

附录 B: 参数测量信息



输入信号特征阻抗 $Z_0 = 50 \Omega$, 以及 $C_L = 15 \text{ pF}$ 。

Fig. B1. 开关特性测试电路和电压波形



合格标准: 在共模瞬态过程中输出必须保持不变。

Fig. B2. 共模瞬态抑制测试电路(CMTI)

附录 C: 封装轮廓: SOW-8

下图展示了 CEG1021 双通道磁隔宽体通用数字隔离器的封装细节 (单位: mm)。

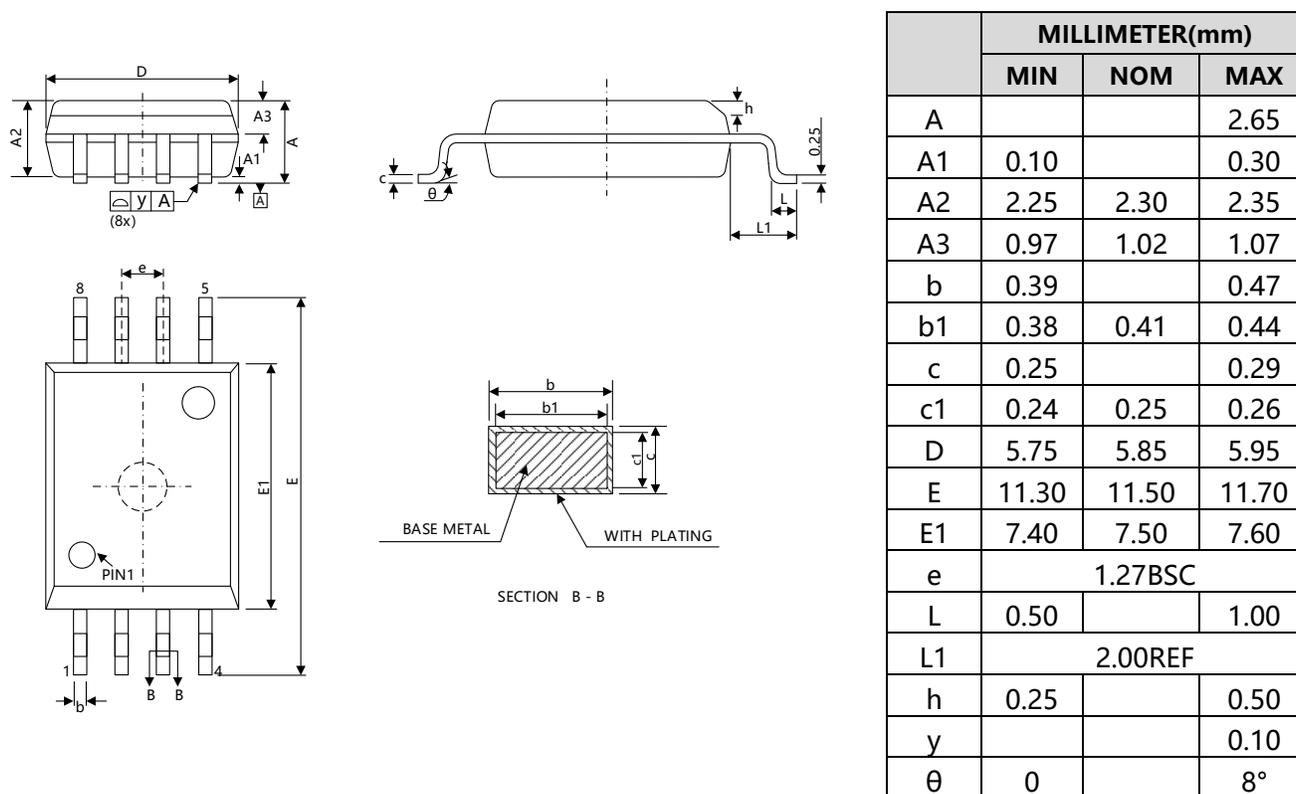


Fig. C1. SOW-8

附录 D: 封装轮廓: SOW-8

下图展示了 CEG1021 双通道磁隔宽体通用数字隔离器的焊盘细节 (单位: mm)。

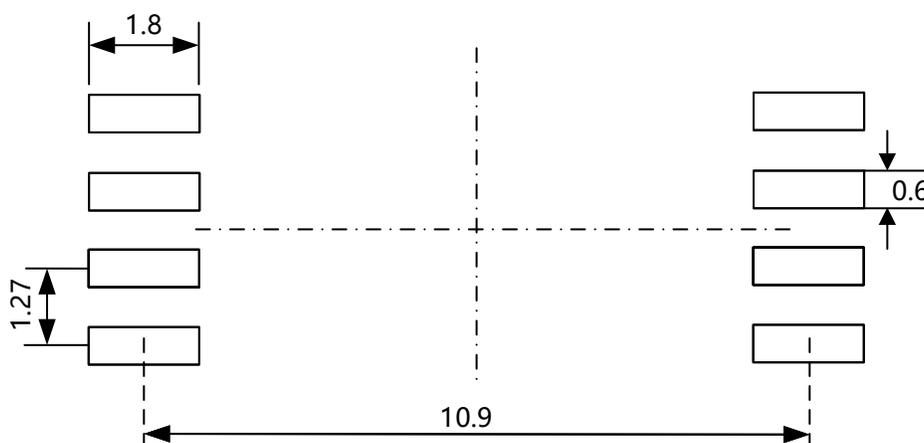


Fig. D1. PCB 焊盘: 8-引脚 SOW

附录 E: 顶部印记: SOW-8

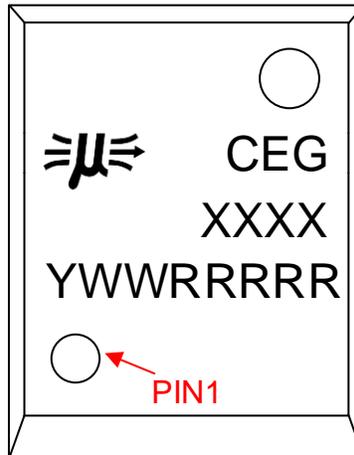


Fig. E1. SOW-8 顶部印记

第一行印记	CEG	产品系列
第二行印记	XXXX	产品型号
第三行印记	YWWRRRRR	Y: 生产年 WW: 生产周 RRRRR: 追溯代码

附录 F: 采购信息

产品型号	封装	Pin	数量/卷	默认输出*
CEG1021	SOW-8	8	1200	高

* 在输入供电掉电或者输入信号引脚浮空的条件下，默认输出电平为高。