

## CEU7422N1 / CEU7422N0

### 3.0 kV<sub>RMS</sub> 双通道 50Mbps 磁隔通用数字隔离器

#### 1. 产品描述

CEU7422N1 / CEU7422N0 系列是高速、高可靠的双通道磁隔通用数字隔离器，满足 UL-1577 标准下 3.0 kV<sub>RMS</sub> 隔离耐压能力。CEU7422N1 / CEU7422N0 采用芯片级微型变压器以及专有的 AdaptivePulse<sup>®</sup> 调制解调技术进行信号传输，兼顾边沿调制的时序精度和开关键（OOK）调制的鲁棒性。CEU7422N1 / CEU7422N0 包含 1 个正向信号通道和 1 个反向信号通道，信号传输延时典型值小于 15 ns。CEU7422N1 / CEU7422N0 提供掉电保护功能，在输入掉电或浮空时，CEU7422N1 默认输出高电平，CEU7422N0 默认输出低电平。

#### 2. 产品特点

- 传输数据率: 0-50Mbps
- 超低功耗: 每个通道的典型值 0.36 mA @ 1Mbps
- 典型传输延时: 小于 15 ns
- 输入电压范围: 3.0 V 到 5.5 V
- 工作温度范围: -40 °C 到 +125 °C
- 隔离耐压: 3.0 kV<sub>rms</sub>
- 共模瞬态抑制: ± 200 kV/μs
- SOP-8L (150mil) 封装
- 默认输出电平可选

#### 3. 产品认证

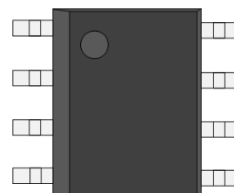
- 3.0 kV<sub>RMS</sub> 耐压 1 分钟 (美国 UL-1577)
- 中国 CQC 认证 GB4943.1-2011
- 辐射抗扰度: GB/T 17626.3-2006 以及 IEC61000-4-3, >10V/m (性能判断 A)
- 工频磁场抗干扰度: GB/T17626.8, IEC61000-4-8, 优于等级 5 (100A/m, 严酷的工业环境)
- 集成电路门锁测试: EIA/JESD78

#### 4. 产品应用

- 智能电表
- 工业自动化
- 家用电器
- 隔离数据总线

#### 5. 外形信息

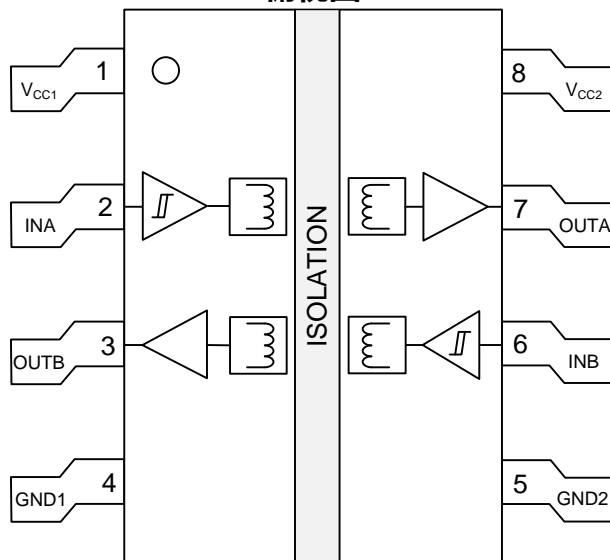
产品型号	封装	封装尺寸(标称)
CEU7422N1 CEU7422N0	SOP-8L (150mil)	4.9 x 3.9(mm)



封装示意图

## 6. 引脚定义及功能说明

SOP-8L (150 mil) 封装  
俯视图



引脚功能

引脚		I/O	描述
名称	编号		
GND1	4	—	1 侧地电位
GND2	5	—	2 侧地电位
INA	2	I	1 侧信号输入, 通道 A
INB	6	I	2 侧信号输入, 通道 B
OUTA	7	O	2 侧信号输出, 通道 A
OUTB	3	O	1 侧信号输出, 通道 B
V <sub>CC1</sub>	1	—	1 侧电源电压
V <sub>CC2</sub>	8	—	2 侧电源电压

## 7. 电路参数

### 7.1 绝对额定范围

参数		最小	最大	单位
$V_{CC1}, V_{CC2}$	供电电压	-0.5	6.5	V
V	I/O 引脚 (IN <sub>x</sub> , OUT <sub>x</sub> )	-0.5	$V_{CC} + 0.5$	V
$I_o$	输出电流	-15	15	mA

### 7.2 ESD 额定值

			数值	单位
$V_{(ESD)}$	人体静电模型 (HBM)	单侧 (1)	$\pm 8000$	V
		跨隔离屏障 (2)	$\pm 8000$	V

(1) 单侧 ESD 测试结果，即对引脚 1-4、或者对引脚 5-8 分别进行 ESD 测试，ESD 冲击不跨越变压器隔离屏障。

(2) 跨隔离屏障 ESD 测试结果为全部引脚 (1-8) 测试结果。

### 7.3 建议工作条件

参数		最低	标称	最高	单位
$V_{CC1}, V_{CC2}$	供电电压	3.0	-	5.5	V
$V_{IH}$	高电平输入电压	$0.7 \times V_{CC1}$	-	$V_{CC1}$	V
$V_{IL}$	低电平输入电压	0	-	$0.3 \times V_{CC1}$	V
DR	数据率	0	-	50	Mbps
$T_A$	环境温度	-40	25	125	°C

### 7.4 电压 3.3 V(±10%)电气特性

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ ,  $T_A = -40 \sim 125^\circ C$  (在建议运行条件下测试所得，除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$V_{OH}$	高电平输出电压, $I_{OH} = -2mA$	$V_{CC0} - 0.4$	3.2		V
$V_{OL}$	低电平输出电压, $I_{OL} = 2mA$		0.1	0.4	V

$V_{IH(TH)}$	高电平输入阈值电压				$0.7 \times V_{CCI}$	V
$V_{IL(TH)}$	低电平输入阈值电压		$0.3 \times V_{CCI}$			V
CMTI	共模瞬态抑制			$\pm 150$	$\pm 200$	kV/ $\mu$ s
$I_{IH}$	高电平输入电流, $V_{IH}=V_{CCI}$ at INx	CEU7422N1		0		$\mu$ A
		CEU7422N0		6.5	10	$\mu$ A
$I_{IL}$	低电平输入电流, $V_{IL}=0$ at INx	CEU7422N1	-10	-6.5		$\mu$ A
		CEU7422N0		0		$\mu$ A
$I_{CC1}$	2 个通道输入方波时钟信号, 负载电容 $C_L$ = 15 pF	1 Mbps		0.33	0.50	mA
$I_{CC2}$				0.40	0.60	mA
$I_{CC1}$	2 个通道输入方波时钟信号, 负载电容 $C_L$ = 0 pF	1 Mbps		0.33	0.50	mA
$I_{CC2}$				0.37	0.56	mA
$I_{CC1}$	2 个通道输入方波时钟信号, 负载电容 $C_L$ = 15 pF	10 Mbps		1.45	2.18	mA
$I_{CC2}$				1.56	2.34	mA
$I_{CC1}$	2 个通道输入方波时钟信号, 负载电容 $C_L$ = 0 pF	10 Mbps		1.24	1.86	mA
$I_{CC2}$				1.28	1.92	mA
$I_{CC1}$	2 个通道输入方波时钟信号, 负载电容 $C_L$ = 15 pF	50 Mbps		6.60	9.90	mA
$I_{CC2}$				6.59	9.89	mA
$I_{CC1}$	2 个通道输入方波时钟信号, 负载电容 $C_L$ = 0 pF	50 Mbps		5.18	7.77	mA
$I_{CC2}$				5.54	8.31	mA
备注: $V_{CCI}$ = 输入侧 $V_{CC}$ ; $V_{CCO}$ = 输出侧 $V_{CC}$						

## 7.5 电压 5.0 V( $\pm 10\%$ )电气特性

$V_{CC1}=V_{CC2}=5.0V \pm 10\%$ ,  $T_A=-40 \sim 125^\circ\text{C}$  (在建议运行条件下测试所得, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$V_{OH}$	高电平输出电压, $I_{OH} = -4\text{mA}$	$V_{CCO}-0.4$	4.8		V
$V_{OL}$	低电平输出电压, $I_{OL} = 4\text{mA}$		0.2	0.4	V
$V_{IH(TH)}$	高电平输入阈值电压			$0.7 \times V_{CCI}$	V
$V_{IL(TH)}$	低电平输入阈值电压	$0.3 \times V_{CCI}$			V
CMTI	共模瞬态抑制		$\pm 150$	$\pm 200$	kV/ $\mu$ s

$I_{IH}$	高电平输入电流, $V_{IH}=V_{CC1}$ at $INx$	CEU7422N1		0		$\mu A$
		CEU7422N0		10.1	15	$\mu A$
$I_{IL}$	低电平输入电流, $V_{IL}=0$ at $INx$	CEU7422N1	-15	-10.1		$\mu A$
		CEU7422N0		0		$\mu A$
$I_{CC1}$	2 个通道输入方波时钟信号, 负载电容 $C_L$ = 15 pF	1 Mbps		0.42	0.63	mA
$I_{CC2}$				0.49	0.74	mA
$I_{CC1}$	2 个通道输入方波时钟信号, 负载电容 $C_L$ = 0 pF	1 Mbps		0.39	0.59	mA
$I_{CC2}$				0.45	0.68	mA
$I_{CC1}$	2 个通道输入方波时钟信号, 负载电容 $C_L$ = 15 pF	10 Mbps		1.85	2.78	mA
$I_{CC2}$				1.94	2.91	mA
$I_{CC1}$	2 个通道输入方波时钟信号, 负载电容 $C_L$ = 0 pF	10 Mbps		1.52	2.28	mA
$I_{CC2}$				1.55	2.33	mA
$I_{CC1}$	2 个通道输入方波时钟信号, 负载电容 $C_L$ = 15 pF	50 Mbps		8.38	12.57	mA
$I_{CC2}$				8.55	12.83	mA
$I_{CC1}$	2 个通道输入方波时钟信号, 负载电容 $C_L$ = 0 pF	50 Mbps		6.55	9.83	mA
$I_{CC2}$				6.64	9.96	mA
备注:						
$V_{CC1}$ = 输入侧 $V_{CC}$ ; $V_{CC0}$ = 输出侧 $V_{CC}$						

## 7.6 电压 3.3 V( $\pm 10\%$ )供电开关特性

$V_{CC1}=V_{CC2}=3.3V \pm 10\%$ ,  $T_A=-40 \sim 125^\circ C$  (在建议运行条件下测试所得, 除非另有说明)

参数		最低	典型值	最高	单位
DR	数据率			50	Mbps
$PW_{min}$	最小脉宽			16	ns
$t_{PLH}$	传输延时 (上升沿)		17.5	28	ns
$t_{PHL}$	传输延时 (下降沿)		17.2	28	ns
PWD	脉冲宽度失真 $ t_{PLH}-t_{PHL} $		0.3	5	ns
$t_{sk(pp)}$	片与片之间通道输出偏移时间 (同方向通道)			5	ns

jitter	信号抖动 (p-p)		0.8		ns
t <sub>r</sub>	输出信号上升时间		3.1	5.0	ns
t <sub>f</sub>	输出信号下降时间		3.1	5.0	ns
备注: t <sub>sk(pp)</sub> 是在相同的电源电压、温度、输入信号和负载下, 不同器件在同一方向切换的任意端口之间传播延迟时间的差值					

## 7.7 电压 5.0 V(±10%)供电开关特性

V<sub>CC1</sub>=V<sub>CC2</sub>=5.0V±10%, T<sub>A</sub>=-40~125°C (在建议运行条件下测试所得, 除非另有说明)

参数		最低	典型值	最高	单位
DR	数据率			50	Mbps
PW <sub>min</sub>	最小脉宽			16	ns
t <sub>PLH</sub>	传输延时 (上升沿)		14.2	23	ns
t <sub>PHL</sub>	传输延时 (下降沿)		14.8	23	ns
PWD	脉冲宽度失真  t <sub>PLH</sub> -t <sub>PHL</sub>		0.6	5	ns
t <sub>sk(pp)</sub>	片与片之间通道输出偏移时间 (同方向通道)			5	ns
jitter	信号抖动 (p-p)		0.8		ns
t <sub>r</sub>	输出信号上升时间		3.2	5.0	ns
t <sub>f</sub>	输出信号下降时间		3.2	5.0	ns
备注: t <sub>sk(pp)</sub> 是在相同的电源电压、温度、输入信号和负载下, 不同器件在同一方向切换的任意端口之间传播延迟时间的差值					

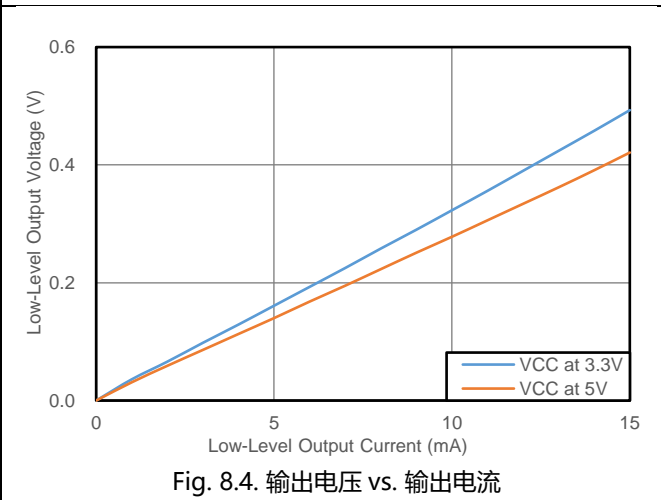
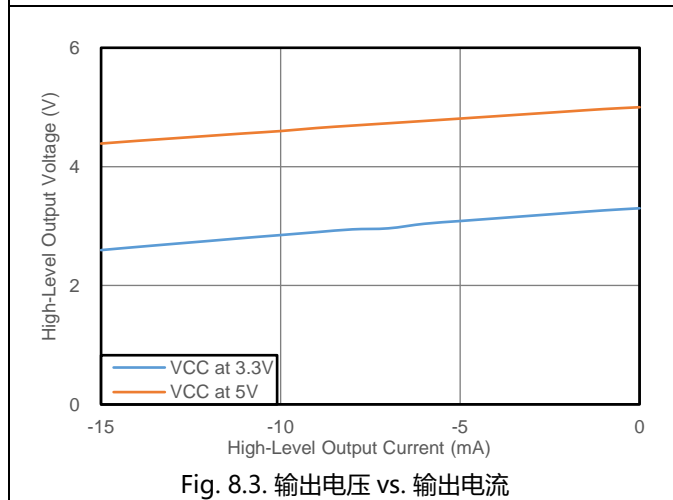
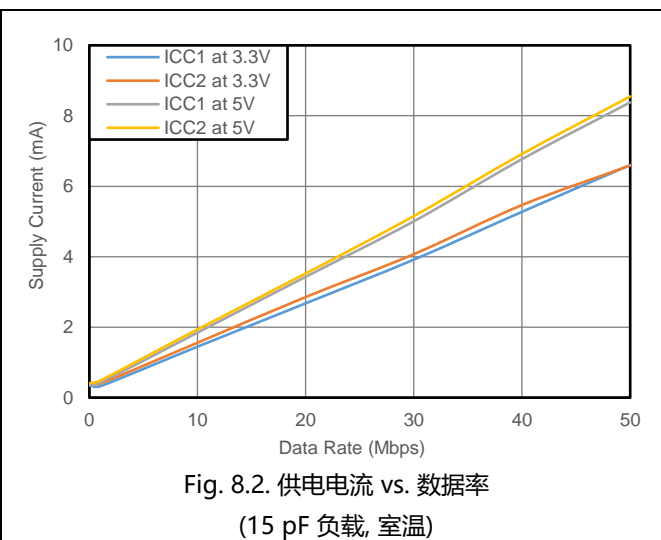
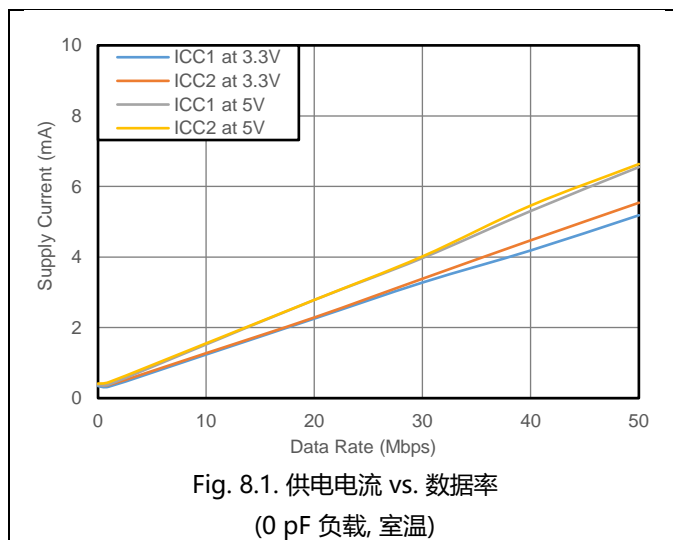
## 7.8 芯片功能表

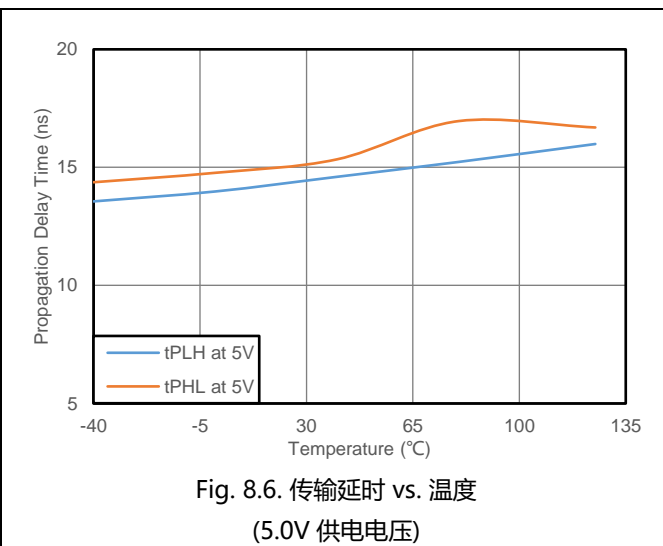
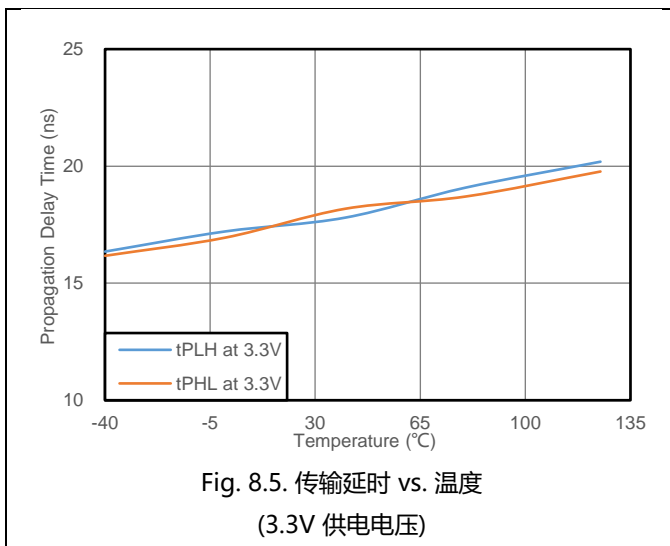
V <sub>CC1</sub>	V <sub>CC0</sub>	IN <sub>x</sub>	OUT <sub>x</sub>
PU	PU	H	H
		L	L
		Open	H (CEU7422N1) L (CEU7422N0)
PD	PU	X	H (CEU7422N1)

			L (CEU7422N0)
Open	PU	X	H (CEU7422N1) L (CEU7422N0)

(1) PU=上电; PD= 掉电; H = 高电平; L = 低电平; X = 任意; Open = 浮空。

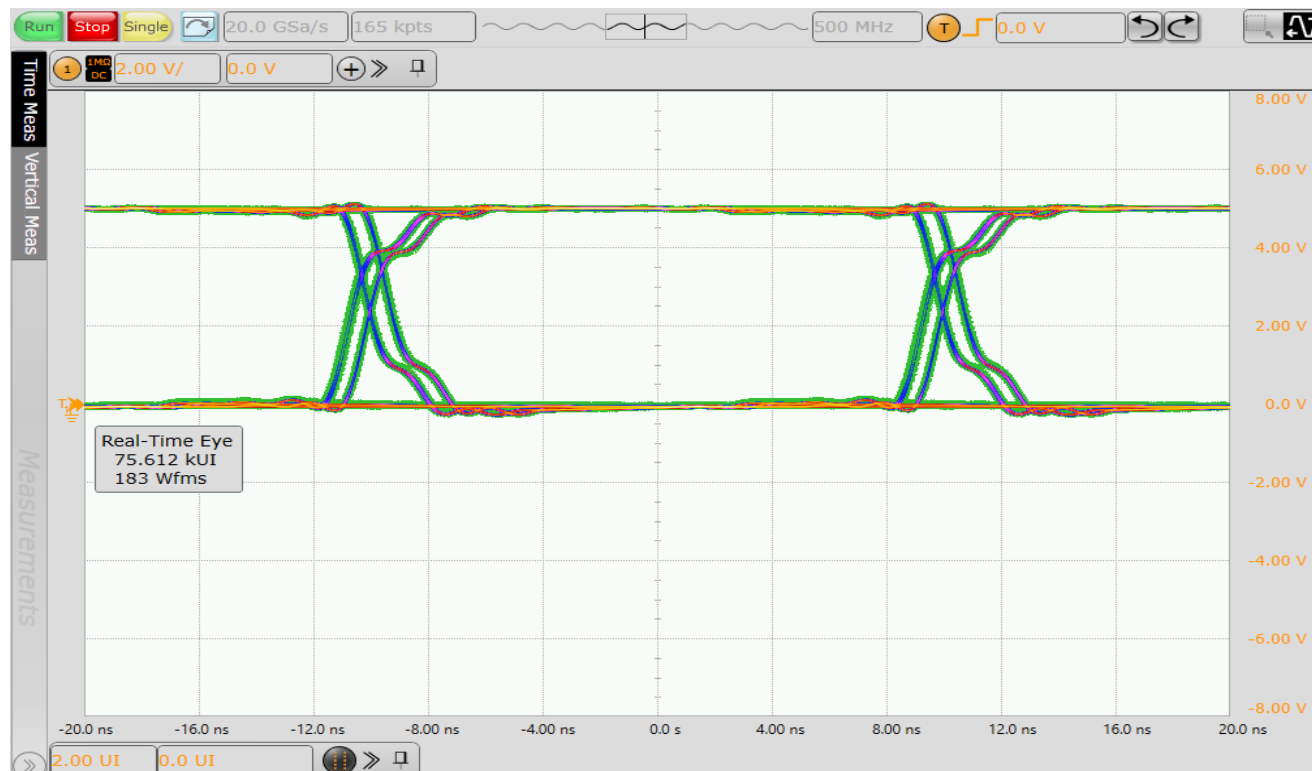
## 8. 典型特征





## 9. 眼图测试

CEU7422N1/CEU7422N0 在 50 Mbps 数据率下的典型眼图测试结果如下，在相应数据率下有优良的信号传输质量。



## 附录 A: 参考设计

CEU7422N1/CEU7422N0 使用简单, 无需上下拉电阻, 仅需在  $V_{CC1}$  和  $V_{CC2}$  两个供电电压处接入  $1\ \mu\text{F}$  稳压电容, 建议将稳压电容焊接在尽可能接近  $V_{CC}$  管脚的位置。图 A1, A2 分别为典型参考设计示意图和 PCB 参考设计图。

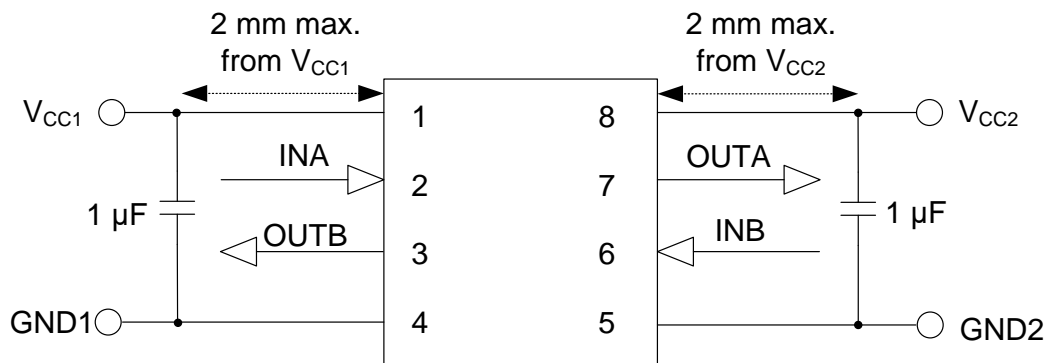


Fig. A1. 典型参考设计示意图

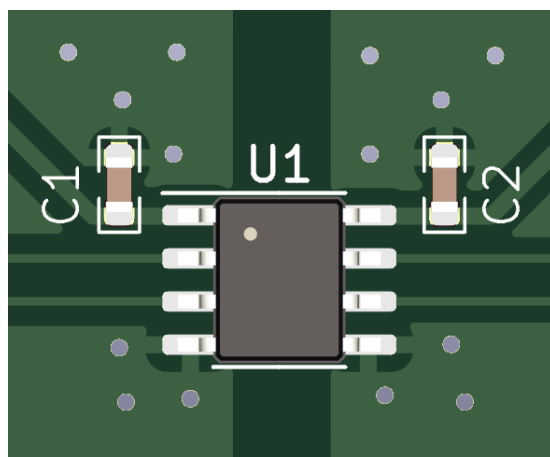


Fig. A2(a). 参考 PCB 设计图 正面

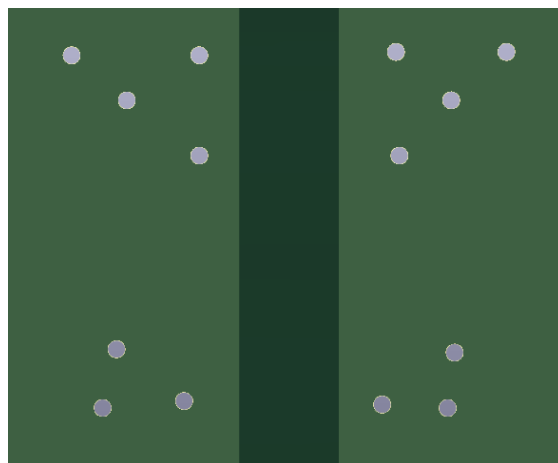
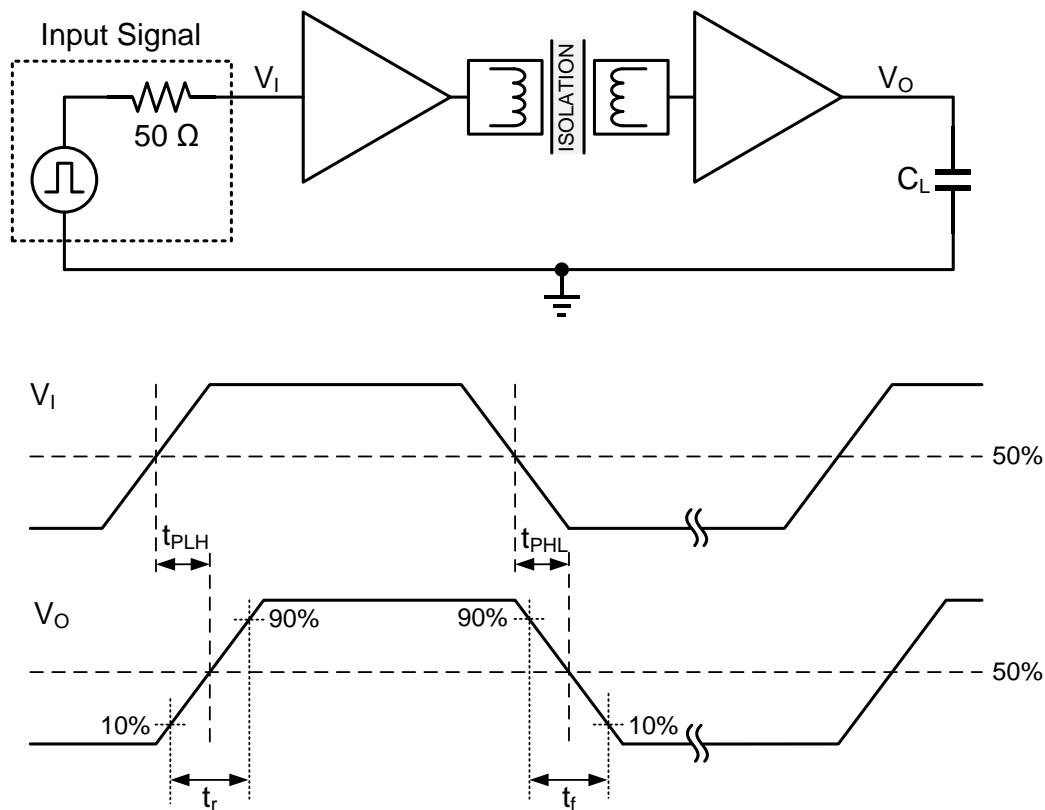


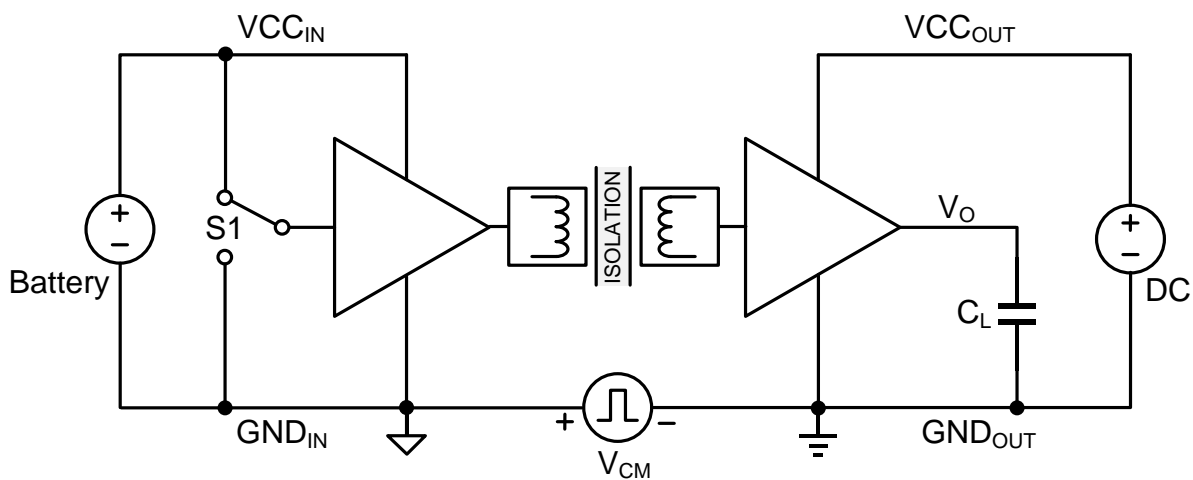
Fig. A2(b). 参考 PCB 设计图 反面

附录 B: 参数测量信息



输入信号特征阻抗  $Z_0 = 50 \Omega$ , 以及  $C_L = 15 \text{ pF}$ 。

Fig. B1. 开关特性测试电路和电压波形

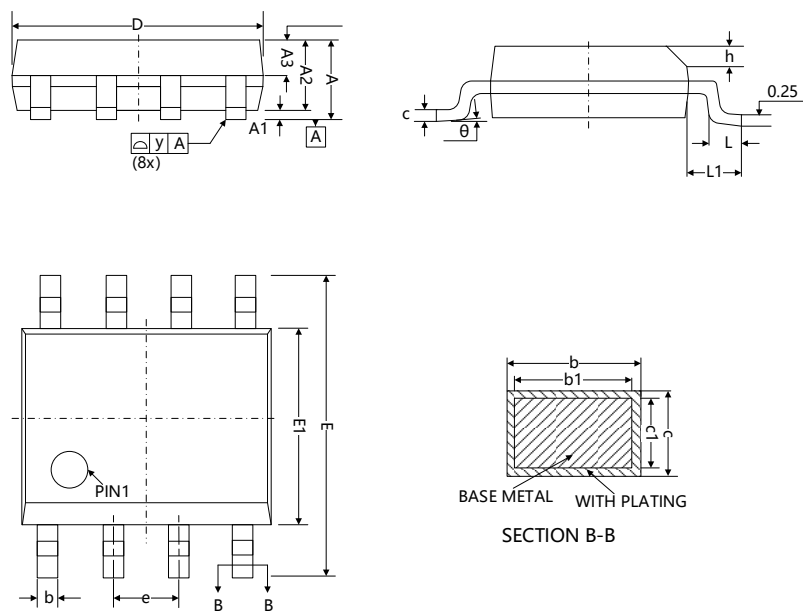


合格标准: 在共模瞬态过程中输出必须保持不变。

Fig. B2. 共模瞬态抑制测试电路(CMTI)

### 附录 C: 封装轮廓: SOP-8L (150 mil)

下图展示了 CEU7422N1/CEU7422N0 双通道磁隔通用数字隔离器的封装细节 (单位: mm)。



	MILLIMETER(mm)		
	MIN	NOM	MAX
A			1.75
A1	0.10		0.225
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39		0.47
b1	0.38	0.41	0.44
c	0.20		0.24
c1	0.19	0.20	0.21
D	4.80	4.90	5.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
h	0.25		0.25
L	0.50		0.50
L1	1.05REF		
y			0.10
theta	0		8°

Fig. C1. SOP-8L(150mil)

### 附录 D: 封装轮廓: SOP-8L (150 mil)

下图展示了 CEU7422N1/CEU7422N0 双通道磁隔通用数字隔离器的焊盘细节 (单位: mm)。

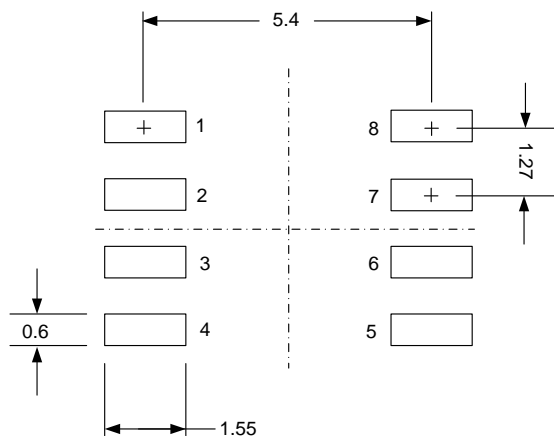


Fig. D1. PCB 焊盘: 8-引脚 SOP

## 附录 E: 顶部印记: SOP-8L (150 mil)

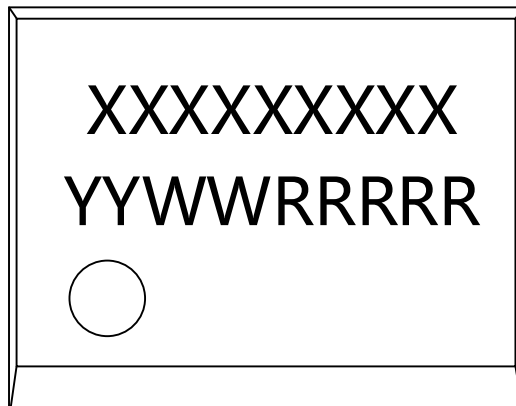


Fig. E1. SOP-8L 顶部印记

第一行印记	XXXXXXXXXX	产品型号
第二行印记	YYWWRRRRR	YY: 生产年 WW: 生产周 RRRRR: 追溯代码

## 附录 F: 采购信息

产品型号	封装	Pin	数量/卷	默认输出*
CEU7422N1	SOP-8L	8	2500	高
CEU7422N0	SOP-8L	8	2500	低

\* CEU7422Nx 提供掉电保护功能，在输入掉电或浮空时，CEU7422N1 默认输出高电平，CEU7422N0 默认输出低电平。